(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－53218
（P2001－53218A）
(43)公開日　平成13年２月23日(2001.2.23)

(51)Int.Cl.'	識別記号	ＦＩ		テーマコード'（参考）
Ｈ０１Ｌ　25/065		Ｈ０１Ｌ　25/08	Ｂ	５Ｆ０４４
25/07		21/60	３１１Ｑ	
25/18				
21/60	３１１			

審査請求　未請求　請求項の数７　ＯＬ　（全６頁）

(21)出願番号　特願平11－226502

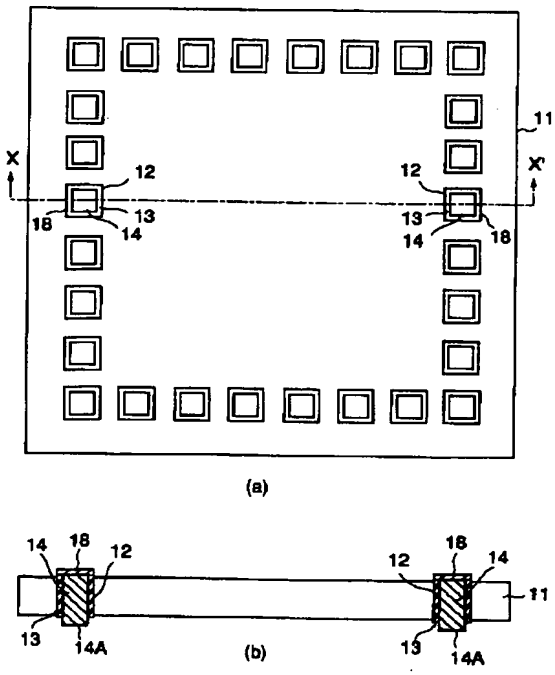
(22)出願日　平成11年８月10日(1999.8.10)

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者　高橋　健司
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　中吉　英夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することを目的としている。
【解決手段】半導体基板１１に形成された貫通孔１２内に、この半導体基板の裏面側に突出された絶縁膜１３を形成するとともに、この貫通孔内に半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部１４Ａを有する電極１４を埋め込み形成したことを特徴としている。半導体基板の裏面側に突出した導電性電極材料をバンプの一部として利用することができるので、電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも対応できる。



1

【特許請求の範囲】
【請求項１】　貫通孔を有する半導体基板と、
前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、
前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴とする半導体装置。
【請求項２】　前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備することを特徴とする請求項１に記載の半導体装置。
【請求項３】　前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねることを特徴とする請求項２に記載の半導体装置。
【請求項４】　前記積み重ねた複数の半導体基板は、インターポーザ上に実装されることを特徴とする請求項３に記載の半導体装置。
【請求項５】　半導体基板の主表面に所定の深さの開孔を形成する工程と、
前記開孔の内壁に絶縁膜を形成する工程と、
前記開孔内を導電性電極材料で埋め込む工程と、
前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、
前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。
【請求項６】　前記開孔内を導電性電極材料で埋め込む工程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備することを特徴とする請求項５に記載の半導体装置の製造方法。
【請求項７】　前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備することを特徴とする請求項５または６に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】この発明は、半導体チップを貫通する電極を有する半導体装置及びその製造方法に関し、例えば大きな記憶容量を得るために複数のメモリチップを積層して実装する技術に関する。
【０００２】
【従来の技術】半導体装置、例えば半導体記憶装置にあっては、素子の微細化による高集積化、記憶容量の大容量化、高機能化、動作速度の高速化等の様々な要求がなされている。これらの要求の中でも、特に記憶容量の増大に対する要求が高いが、必ずしも素子の微細化に製造

2

技術が対応できていない。
【０００３】このような問題を解決する一つの技術として、複数のメモリチップを積層して実装することにより、見かけ上の記憶容量を増大させる技術が提案されている。
【０００４】上記複数のメモリチップを積層する際には、例えばメモリチップに貫通孔を形成し、この貫通孔の側壁に絶縁膜を形成した後、貫通孔内に導電性電極材料を埋め込んで電極を形成している。そして、上記電極上にメッキなどでバンプを形成し、このバンプを介在して複数のメモリチップの電極間を接続することにより、見かけ上の記憶容量を増大させている。
【０００５】上記バンプの形成に際しては、まず、図４（ａ）に示すように、半導体基板（シリコン基板）３１の貫通孔３０内に、絶縁膜３２を介在して導電性電極材料を埋め込んで電極３３を形成し、この電極３３上にアルミニウム等からなるパッド３４を形成した後、全面をパッシベーション膜３５で覆う。次に、上記パッド３４上のパッシベーション膜３５をエッチングなどで選択的に除去して、パッド３４の表面を露出させる。引き続き、図４（ｂ）に示すように全面にバリアメタル層３６を形成した後、図４（ｃ）に示すようにパッド３４上以外の部分をフォトレジスト３７でマスクする。その後、図４（ｄ）に示すように露出されているバリアメタル層３６上にメッキを行い、メッキ層（バンプ）３８を形成する。次に、図４（ｅ）に示すようにレジスト３７を除去する。そして、図４（ｆ）に示すようにウェットエッチングを行って、パッシベーション膜３５上に残存されているバリアメタル層３６を除去する。
【０００６】しかしながら、上記のような構成並びに製造方法では、図４（ｆ）に示したバリアメタル層３６の除去工程において、バンプ３８の端部下の領域３９Ａ，３９Ｂがオーバーエッチングされる。このため、充分な信頼性を確保するためにはバンプサイズを小さくできず、隣接する各バンプ３８間にも一定の距離が必要となり、ピッチは２０μｍ程度までしか詰められない。この結果、サイズの小さなチップでは、高機能化されて多数の入出力信号が必要となっている半導体記憶装置等に適用するのが難しくなっている。
【０００７】また、パッケージを薄型化するために、チップの裏面を研削及び研磨してチップ厚を薄くする場合、ウェーハを薄くしてからバンプ３８の形成を行う必要があるため、搬送中やバンプ形成のためのメッキ時に、ウェーハにクラックが入ったり割れたりする恐れがある。経験値では、ウェーハ厚の最小値をｔｍｉｎ、ウェーハ径をｄとすると、ｔｍｉｎ＝ｄ／１０００程度までが限界である。
【０００８】
【発明が解決しようとする課題】上記のように従来の半導体装置及びその製造方法では、バンプサイズを充分小

さくできず、バンプ間のピッチも詰められないという問題があった。

【０００９】また、メモリチップの裏面を研削及び研磨してチップ厚を薄くする場合、搬送中やバンプ形成のためのメッキ時にウェーハにクラックが入ったり割れたりするという問題があった。

【００１０】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することにある。

【００１１】また、この発明の他の目的は、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法を提供することにある。

【００１２】更に、この発明の他の目的は、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法を提供することにある。

【００１３】

【課題を解決するための手段】この発明の半導体装置は、貫通孔を有する半導体基板と、前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴としている。

【００１４】また、この装置において、次のような特徴を備えている。

【００１５】前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備する。

【００１６】前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねる。

【００１７】前記積み重ねた複数の半導体基板は、インターポーザ上に実装される。

【００１８】更に、この発明の半導体装置の製造方法は、半導体基板の主表面に所定の深さの開孔を形成する工程と、前記開孔の内壁に絶縁膜を形成する工程と、前記開孔内を導電性電極材料で埋め込む工程と、前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴としている。

【００１９】そして、上記製造方法において、次のような特徴を備えている。

【００２０】前記開孔内を導電性電極材料で埋め込む工程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備する。

【００２１】前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備する。

【００２２】上記のような構成によれば、半導体基板の裏面側に突出した導電性電極材料をバンプとして利用することができるので、バンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも対応できる。

【００２３】また、上記のような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極を突出させることができる。

【００２４】更に、接合材料層はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【００２５】しかも、機械的な研削及び研磨の前にダイシング溝を形成しておけば、ウェーハの分割工程と貫通孔への電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる。

【００２６】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図１（ａ），（ｂ）は、この発明の第１の実施の形態に係る半導体装置について説明するためのもので、（ａ）図はチップの平面図、（ｂ）図は（ａ）図のＸ－Ｘ’線に沿った断面図である。また、図２（ａ），（ｂ）は上記図１（ａ），（ｂ）に示した半導体装置を実装した状態を示すもので、（ａ）図は斜視図、（ｂ）図は断面図である。

【００２７】図１（ａ），（ｂ）に示す如く、半導体基板（例えば半導体メモリチップ）１１には、四辺に沿って貫通孔１２，１２，…が形成されている。これらの貫通孔１２，１２，…内の半導体基板１１表面には酸化シリコン等の絶縁膜１３が形成されており、この絶縁膜１３は半導体基板１１の裏面側に突出している。また、上記貫通孔１２内には、上記絶縁膜１３が介在されることにより、上記半導体基板１１と絶縁された状態で銅（Ｃｕ）やタングステン（Ｗ）等の導電性の材料からなる電極１４が設けられている。この電極１４は、基板１１の裏面側で且つ上記絶縁膜１３よりも突出した突起部１４Ａを有する。そして、上記電極１４における基板１１の主表面側には、接合材料層１８が形成されている。

【００２８】上記構造の半導体基板１１は、図２（ａ），（ｂ）に示すように、複数個が積み重ねられてインターポーザ１５上に搭載される。この際、半導体メモリチップ１１－１における電極１４の突起部１４Ａは、インターポーザ１５上に実装され、電気的に接続される。上記半導体メモリチップ１１－２における電極１

４の突起部１４Ａは、上記半導体メモリチップ１１－１における電極１４上の接合材料層１８上に実装され、電気的に接続される。上記半導体メモリチップ１１－３，１１－４も同様に、半導体メモリチップ１１－２，１１－３上にそれぞれ実装され、電気的に接続される。

【００２９】また、上記インターポーザ１５上には、上記半導体メモリチップ１１－１～１１－４に隣接して、ロジックチップ１６が実装されている。上記各半導体メモリチップ１１－１～１１－４とロジックチップ１６は、上記インターポーザ１５の裏面側に形成された半田ボール１７，１７，…と電気的に接続されている。

【００３０】このような構成によれば、半導体基板１１の裏面側に突出した電極１４の突起部１４Ａを、従来のバンプと同様に用いることができるので、電極１４のサイズを小さくし、且つ電極１４間のピッチを狭くして、多数の信号入出力が要求される場合にも充分に対応できる。

【００３１】なお、上記電極１４の材料としては、上述したＣｕやＷ以外にも、これらを含む合金や、Ａｌ、Ｍｏ、ポリシリコン、Ａｕ、あるいはこれらを含む合金等を用いることができる。また、上記接合材料層１８としては、Ａｕ、Ｐｂ／Ｓｎ、Ｓｎ、Ａｕ／Ｓｎ、Ｓｎ／Ｉｎ、Ｓｎ／Ｂｉ等を用いることができる。

【００３２】次に、上述した半導体装置の製造方法について説明する。図３（ａ）乃至（ｃ）はそれぞれ、上記半導体装置における電極１４とその近傍を拡大して製造工程順に示している。

【００３３】まず、図３（ａ）に示すように、半導体基板１１の主表面に所定の深さの開孔２１を形成し、この開孔２１の内壁に熱酸化やＣＶＤ法により、酸化シリコン等の絶縁膜１３を形成する。その後、ＣＶＤ法により全面に導電性電極材料１４を形成し、開孔２１内をこの電極材料１４で埋め込む。次に、基板１１上の絶縁膜１３と導電性電極材料１４を除去する。引き続き、基板１１の主表面側の上記電極材料１４上に、接合材料層１８を形成する。

【００３４】次に、図３（ｂ）に示すように、上記基板１１の主表面側から、この基板（チップ）１１の最終的な厚さよりも深いダイシング溝２２を形成した後、上記基板１１の裏面を上記開孔２１の底部及び上記ダイシング溝２２の底部に達しない深さまで機械的に研削する。

【００３５】そして、図３（ｃ）に示すように、上記基板１１の裏面を開孔２１の底部より浅い位置までエッチングして、電極材料１４を半導体基板１１の裏面から突出させる。これによって、基板１１を貫通し、裏面側に突起部１４Ａを有する電極１４を形成する。この際、絶縁膜１３が基板１１の裏面側に突出される。また、このエッチング工程によって、上記ダイシング溝２２に沿ってチップが分割される。

【００３６】このような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極１４を突出させることができる。

【００３７】また、接合材料層１８はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【００３８】しかも、機械的な研削及び研磨の前にダイシング溝２２を形成しておくので、ウェーハの分割工程と貫通孔への電極材料の埋め込み工程とを同時にでき、製造工程の簡単化が図れる。

【００３９】更に、バリアメタルを用いないので、１０μｍ以下までバンプ間のピッチを詰めることができ、バンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも容易に対応できる。

【００４０】

【発明の効果】以上説明したように、この発明によれば、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置が得られる。

【００４１】また、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法が得られる。

【００４２】更に、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態に係る半導体装置について説明するための平面図及び断面図。

【図２】図１に示した半導体装置を実装した状態を示す斜視図及び断面図。

【図３】この発明の第１の実施の形態に係る半導体装置の製造方法について説明するためのもので、半導体装置における電極とその近傍を拡大して製造工程順に示す断面図。

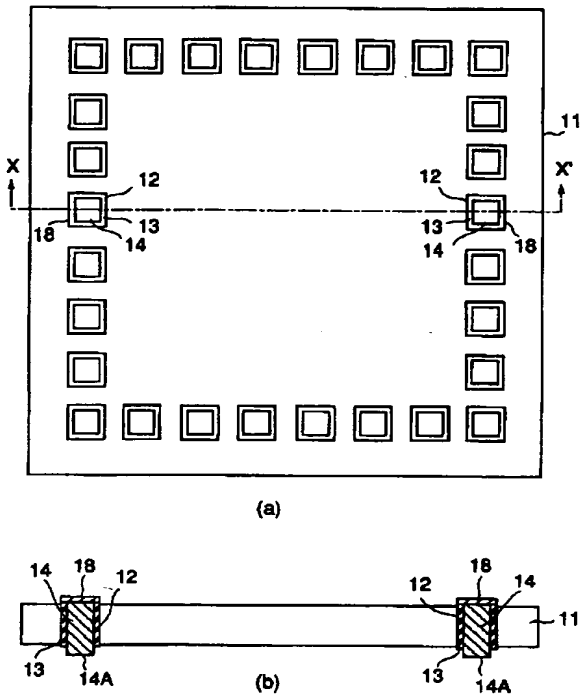
【図４】従来の半導体装置及びその製造方法について説明するためのもので、バンプの形成工程を順次示す断面図。

【符号の説明】

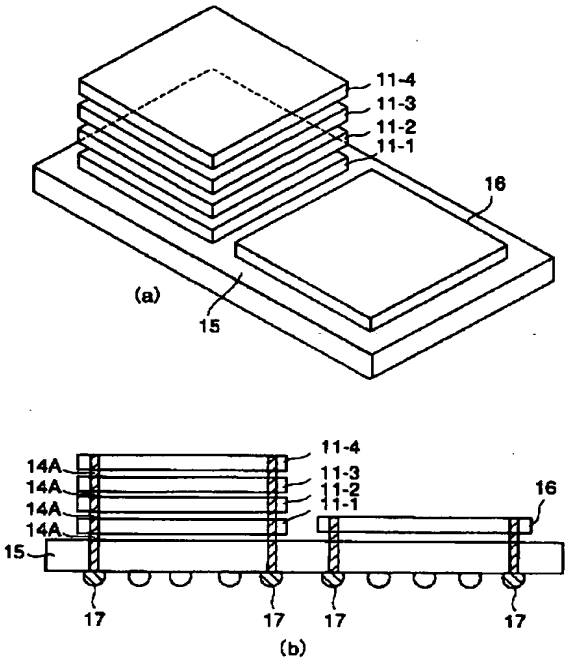
１１，１１－１～１１－４…半導体基板（半導体メモリチップ）、
１２…貫通孔、
１３…絶縁膜、
１４…電極、
１４Ａ…突起部、
１５…インターポーザ、
１６…ロジックチップ、
１７…半田ボール、
１８…接合材料層、

２１…開孔、　　＊　＊２２…ダイシング溝。

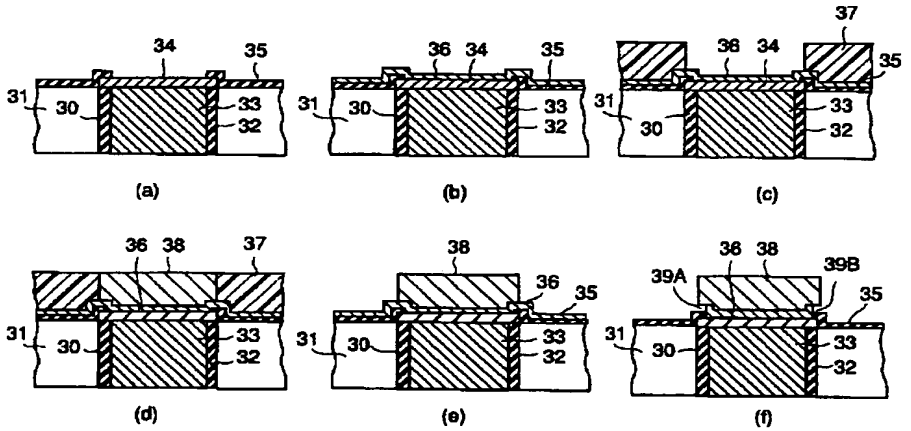
【図１】



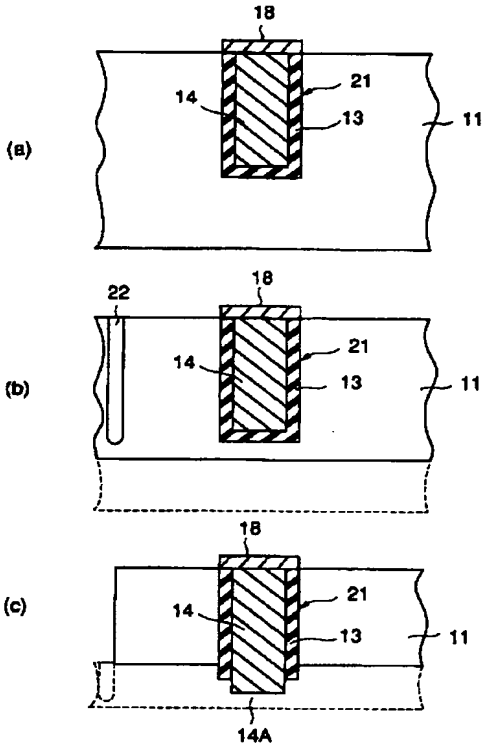
【図２】



【図４】



［図３］



フロントページの続き

(72)発明者　田久　真也
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者　田窪　知章
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

Ｆターム(参考)　5F044 KK01 LL01 QQ02 QQ04 RR03

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053218
(43)Date of publication of application : 23.02.2001

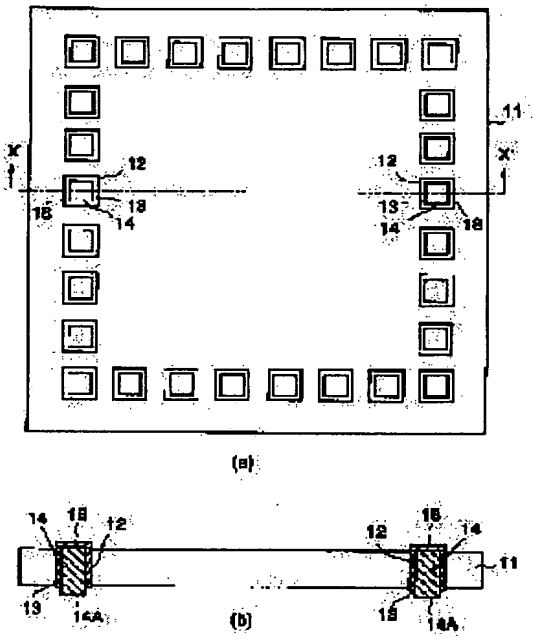
(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60

(21)Application number : 11-226502
(22)Date of filing : 10.08.1999

(71)Applicant : TOSHIBA CORP
(72)Inventor : TAKAHASHI KENJI
NAKAYOSHI HIDEO
TAKU SHINYA
TAKUBO TOMOAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor device wherein electrodes for stacking a plurality of semiconductor chips are small while the pitch between electrodes is small to sufficiently cope with a case where multiple signal inputs/outputs are required.
SOLUTION: In a through-hole 12 formed at a semiconductor substrate 11, an insulating film 13 protruding above the rear side of the semiconductor substrate 11 is formed, and in the through-hole, an electrode 14 comprising a projection 14A protruding beyond the insulating film 13 on the rear side of the semiconductor substrate 11 is embedded. The conductive electrode material protruding above the rear side of the semiconductor substrate 11 is utilized as a part of a bump, so the electrode is smaller and the pitch between electrodes is small while coping with a case where multiple signal inputs/outputs are required.



LEGAL STATUS

[Date of request for examination] 27.01.2003
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The semiconductor device characterized by providing the electrode which has the height which it is formed in the semi-conductor substrate which has a through tube, and said semi-conductor substrate in said through tube, is embedded and formed in said through tube with the insulator layer projected at the rear-face side of said semi-conductor substrate, and is the rear-face side of said semi-conductor substrate, and was projected rather than said insulator layer.
[Claim 2] The semiconductor device according to claim 1 characterized by providing further the cementing material layer formed on said electrode by the side of the main front face of said semi-conductor substrate.
[Claim 3] The semiconductor device according to claim 2 characterized by accumulating two or more semi-conductor substrates so that said electrode by the side of the main front face of said semi-conductor substrate and a rear face may intervene said cementing material layer and may be connected electrically.
[Claim 4] Said two or more accumulated semi-conductor substrates are semiconductor devices according to claim 3 characterized by being mounted on INTAPOZA.
[Claim 5] The process which forms puncturing of the predetermined depth in the main front face of a semi-conductor substrate, and the process which forms an insulator layer in the wall of said puncturing, The process which embeds the inside of said puncturing with a conductive electrode material, and the process which carries out grinding of the rear face of said semi-conductor substrate mechanically so that the pars basilaris ossis occipitalis of said puncturing may not be reached, The manufacture approach of the semiconductor device characterized by providing the process which forms the electrode which etch the rear face of said semi-conductor substrate to a location shallower than the pars basilaris ossis occipitalis of said puncturing, and said conductive electrode material is made to project from the rear face of said semi-conductor substrate, and penetrates said semi-conductor substrate, and has a height in a rear-face side.
[Claim 6] The manufacture approach of the semiconductor device according to claim 5 characterized by providing further the process which forms a cementing material layer on said conductive electrode material by the side of the main front face of said semi-conductor substrate after the process which embeds the inside of said puncturing with a conductive electrode material.
[Claim 7] The manufacture approach of the semiconductor device according to claim 5 or 6 characterized by providing further the process which forms a dicing slot deeper than the final thickness of tip from the main front-face side of said semi-conductor substrate before the process which carries out grinding of the rear face of said semi-conductor substrate mechanically so that the pars basilaris ossis occipitalis of said puncturing may not be reached.

[Translation done.]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] Concerning the semiconductor device which has the electrode which penetrates a semiconductor chip, and its manufacture approach, this invention relates to the technique of carrying out the laminating of two or more memory chips, and mounting them, in order to obtain big memory capacity.
[0002]
[Description of the Prior Art] If it is in a semiconductor device, for example, a semiconductor memory, various demands of high integration by detailed-izing of a component, large-capacity-izing of storage capacity, advanced features, improvement in the speed of a working speed, etc. are made. Although the demand especially to increase of storage capacity is high also in these demands, the manufacturing technology cannot necessarily be responded to detailed-ization of a component.
[0003] The technique of increasing the storage capacity on appearance is proposed by carrying out the laminating of two or more memory chips, and mounting them as one technique which solves such a problem.
[0004] In case the laminating of two or more above-mentioned memory chips is carried out, after forming a through tube in a memory chip and forming an insulator layer in the side attachment wall of this through tube, in a through tube, a conductive electrode material is embedded and the electrode is formed. And the storage capacity on appearance is increased by forming a bump by plating etc. on the above-mentioned electrode, intervening this bump, and connecting inter-electrode [of two or more memory chips].
[0005] As shown in drawing 4 (a), after intervening an insulator layer 32 in the through tube 30 of the semiconductor substrate (silicon substrate) 31, embedding a conductive electrode material, forming an electrode 33 and forming first the pad 34 which consists of aluminum etc. on this electrode 33 on the occasion of the above-mentioned bump's formation, the whole surface is covered by the passivation film 35. Next, the passivation film 35 on the above-mentioned pad 34 is alternatively removed by etching etc., and the front face of a pad 34 is exposed. Then, as shown in drawing 4 (b), after forming the barrier metal layer 36 in the whole surface, as shown in drawing 4 (c), the mask of the parts other than on a pad 34 is carried out by the photoresist 37. Then, it plates on the barrier metal layer 36 exposed as shown in drawing 4 (d), and a deposit (bump) 38 is formed. Next, a resist 37 is removed as shown in drawing 4 (e). And as shown in drawing 4 (f), wet etching is performed, and the barrier metal layer 36 which remains on the passivation film 35 is removed.
[0006] However, by the manufacture approach, over etching of bump's 38 edge subordinate's fields 39A and 39B is carried out to the above configuration lists in the removal process of the barrier metal layer 36 shown in drawing 4 (f). For this reason, in order to secure sufficient dependability, bump size cannot be made small, but a fixed distance is needed also among each adjoining bump 38, and a pitch is packed only to about 20 micrometers. Consequently, with the small chip of size, it is difficult to apply to the semiconductor memory for which it has advanced features and many I/O signals are needed.
[0007] Moreover, since it is necessary to form a bump 38 after making a wafer thin for the rear face of a chip grinding and when grinding and making the thickness of tip thin in order to thin-shape-ize a package, there is a possibility that a crack may go into a wafer or it may be divided, at the time of plating for the inside of conveyance, or bump formation. In an experience value, when the minimum value of wafer thickness is set to tmin and the diameter of a wafer is set to d, about tmin=d/1000 are limitations.
[0008]
[Problem(s) to be Solved by the Invention] As mentioned above, by a conventional semiconductor device and its conventional manufacture approach, bump size could not be made sufficiently small but there was a problem that the pitch between bumps was not packed, either.

[0009] Moreover, about the rear face of a memory chip, grinding and when it ground and the thickness of tip was made thin, there was a problem that a crack went into a wafer or it was divided, at the time of plating for the inside of conveyance, or bump formation.
[0010] the size of an electrode for the place which this invention was made in view of the above situations, and is made into that purpose to accumulate and mount two or more semiconductor chips -- while being able to do small, also when an inter-electrode pitch can be narrowed and much signal I/O is required, it is in offering the semiconductor device which can fully respond.
[0011] Moreover, other purposes of this invention are to offer the manufacture approach of the semiconductor device which can prevent a crack going into a wafer at the time of the inside of conveyance, or plating, or being divided.
[0012] Furthermore, other purposes of this invention can do the division process of a wafer, and the formation process of the electrode by the embedding of the conductive electrode material to a through tube in coincidence, and are to offer the manufacture approach of a semiconductor device that simplification of a production process can be attained.
[0013]
[Means for Solving the Problem] The semiconductor device of this invention is formed in the semi-conductor substrate which has a through tube, and said semi-conductor substrate in said through tube, is embedded and formed in said through tube with the insulator layer projected at the rear-face side of said semi-conductor substrate, and is characterized by providing the electrode which has the height which is the rear-face side of said semi-conductor substrate, and was projected rather than said insulator layer.
[0014] Moreover, in this equipment, it has the following descriptions.
[0015] The cementing material layer formed on said electrode by the side of the main front face of said semi-conductor substrate is provided further.
[0016] Two or more semi-conductor substrates are accumulated so that said electrode by the side of the main front face of said semi-conductor substrate and a rear face may intervene said cementing material layer and may be connected electrically.
[0017] Said two or more accumulated semi-conductor substrates are mounted on INTAPOZA.
[0018] Furthermore, the process at which the manufacture approach of the semiconductor device this invention forms puncturing of the predetermined depth in the main front face of a semi-conductor substrate, The process which forms an insulator layer in the wall of said puncturing, and the process which embeds the inside of said puncturing with a conductive electrode material, The process which carries out grinding of the rear face of said semi-conductor substrate mechanically so that the pars basilaris ossis occipitalis of said puncturing may not be reached, It is characterized by providing the process which forms the electrode which etch the rear face of said semi-conductor substrate to a location shallower than the pars basilaris ossis occipitalis of said puncturing, and said conductive electrode material is made to project from the rear face of said semi-conductor substrate, and penetrates said semi-conductor substrate, and has a height in a rear-face side.
[0019] And in the above-mentioned manufacture approach, it has the following descriptions.
[0020] The process which forms a cementing material layer on said conductive electrode material by the side of the main front face of said semi-conductor substrate after the process which embeds the inside of said puncturing with a conductive electrode material is provided further.
[0021] The process which forms a dicing slot deeper than the final thickness of tip from the main front-face side of said semi-conductor substrate before the process which carries out grinding of the rear face of said semi-conductor substrate mechanically so that the pars basilaris ossis occipitalis of said puncturing may not be reached is provided further.
[0022] Since the conductive electrode material projected to the rear-face side of a semi-conductor substrate can be used as a bump according to the above configurations, it can respond, also when the pitch between bumps is narrowed and much signal I/O is required.
[0023] Moreover, according to the above manufacture approaches, a wafer can be efficiently made thin by mechanical grinding and polish, and an electrode can be made to project by etching.
[0024] Furthermore, since a cementing material layer is formed before it makes a wafer thin, it can prevent a crack going into a wafer at the time of plating for formation of under conveyance or a cementing material layer, or being divided.
[0025] And if the dicing slot is formed before mechanical grinding and polish, the division process of a wafer and the formation process of the electrode by the embedding of the electrode material to a through tube can be done in coincidence, and simplification of a production process can be attained.

[0026]
[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to a drawing. Drawing 1 (a) and (b) are for explaining the semiconductor device concerning the gestalt of implementation of the 1st of this invention, and the (a) Fig. is a sectional view where the top view of a chip and the (b) Fig. met the X-X' line of the (a) Fig. Moreover, drawing 2 (a) and (b) show the condition of having mounted the semiconductor device shown in above-mentioned drawing 1 (a) and (b), the (a) Fig. is a perspective view and the (b) Fig. is a sectional view.
[0027] As shown in drawing 1 (a) and (b), through tubes 12 and 12 and -- are formed in the semi-conductor substrate (for example, semi-conductor memory chip) 11 along with the neighborhood. The insulator layers 13, such as silicon oxide, are formed in these through tubes 12 and 12 and semi-conductor substrate 11 front face in --, and this insulator layer 13 is projected to the rear-face side of the semi-conductor substrate 11. Moreover, in the above-mentioned through tube 12, when the above-mentioned insulator layer 13 intervenes, the electrode 14 which consists of conductive ingredients, such as copper (Cu) and a tungsten (W), in the condition of having insulated with the above-mentioned semi-conductor substrate 11 is formed. This electrode 14 has height 14A which is the rear-face side of a substrate 11, and was projected rather than the above-mentioned insulator layer 13. And the cementing material layer 18 is formed in the main front-face side of the substrate 11 in the above-mentioned electrode 14.
[0028] Plurality is accumulated and the semi-conductor substrate 11 of the above-mentioned structure is carried on INTAPOZA 15, as shown in drawing 2 (a) and (b). Under the present circumstances, height 14A of the electrode 14 in the semi-conductor memory chip 11-1 is mounted on INTAPOZA 15, and is connected electrically. Height 14A of the electrode 14 in the above-mentioned semi-conductor memory chip 11-2 is mounted on the cementing material layer 18 on the electrode 14 in the above-mentioned semi-conductor memory chip 11-1, and is connected electrically. Similarly, the above-mentioned semi-conductor memory chip 11-3 and 11-4 are mounted, respectively on the semi-conductor memory chip 11-2 and 11-3, and are connected electrically.
[0029] Moreover, on above-mentioned INTAPOZA 15, the above-mentioned semi-conductor memory chip 11-1 to 11-4 is adjoined, and the logic chip 16 is mounted. Each above-mentioned semi-conductor memory chip 11-1 to 11-4 and the logic chip 16 are electrically connected with the solder balls 17 and 17 and -- which were formed in the rear-face side of above-mentioned INTAPOZA 15.
[0030] Since height 14A of the electrode 14 projected to the rear-face side of the semi-conductor substrate 11 can be used like the conventional bump according to such a configuration, also when size of an electrode 14 is made small, and the pitch between electrodes 14 is narrowed and much signal I/O is required, it can fully respond.
[0031] In addition, the alloy which contains these as an ingredient of the above-mentioned electrode 14 besides Cu mentioned above or W, the alloy containing aluminum, Mo, polish recon, Au, or these, etc. can be used. Moreover, as the above-mentioned cementing material layer 18, Au, Pb/Sn, Sn, Au/Sn, Sn/In, Sn/Bi, etc. can be used.
[0032] Next, the manufacture approach of the semiconductor device mentioned above is explained. Drawing 3 (a) thru/or (c) expand the electrode 14 in the above-mentioned semiconductor device, and its near, respectively, and shows them in order of the production process.
[0033] First, as shown in drawing 3 (a), the puncturing 21 of the predetermined depth is formed in the main front face of the semi-conductor substrate 11, and the insulator layers 13, such as silicon oxide, are formed in the wall of this puncturing 21 with thermal oxidation or a CVD method. Then, the conductive electrode material 14 is formed in the whole surface with a CVD method, and the inside of puncturing 21 is embedded with this electrode material 14. Next, the insulator layer 13 and the conductive electrode material 14 on a substrate 11 are removed. Then, the cementing material layer 18 is formed on the above-mentioned electrode material 14 by the side of the main front face of a substrate 11.
[0034] Next, as shown in drawing 3 (b), after forming the dicing slot 22 deeper than the final thickness of this substrate (chip) 11 from the main front-face side of the above-mentioned substrate 11, grinding of the rear face of the above-mentioned substrate 11 is mechanically carried out to the depth which does not reach the pars basilaris ossis occipitalis of the above-mentioned puncturing 21, and the pars basilaris ossis occipitalis of the above-mentioned dicing slot 22.
[0035] And the rear face of the above-mentioned substrate 11 is etched to a location shallower than the pars basilaris ossis occipitalis of puncturing 21, and an electrode material 14 is made to project from the rear face of the semi-conductor substrate 11, as shown in drawing 3 (c). By this, a substrate 11 is penetrated and the

electrode 14 which has height 14A in a rear-face side is formed. Under the present circumstances, an insulator layer 13 is projected at the rear-face side of a substrate 11. Moreover, a chip is divided by this etching process along the above-mentioned dicing slot 22.

[0036] According to such a manufacture approach, a wafer can be efficiently made thin by mechanical grinding and polish, and an electrode 14 can be made to project by etching.

[0037] Moreover, since the cementing material layer 18 is formed before it makes a wafer thin, it can prevent a crack going into a wafer at the time of plating for formation of under conveyance or a cementing material layer, or being divided.

[0038] And since the dicing slot 22 is formed before mechanical grinding and polish, the division process of a wafer and the embedding process of the electrode material to a through tube are made to coincidence, and simplification of a production process can be attained.

[0039] Furthermore, since barrier metal is not used, also when the pitch between bumps can be packed to 10 micrometers or less, the pitch between bumps is narrowed and much signal I/O is required, it can respond easily.

[0040]

[Effect of the Invention] the size of the electrode for accumulating and mounting two or more semiconductor chips according to this invention, as explained above -- while being able to do small, an inter-electrode pitch can be narrowed, and also when much signal I/O is required, the semiconductor device which can fully respond is obtained.

[0041] Moreover, the manufacture approach of the semiconductor device which can prevent a crack going into a wafer at the time of the inside of conveyance or plating, or being divided is acquired.

[0042] Furthermore, the division process of a wafer and the formation process of the electrode by the embedding of the conductive electrode material to a through tube can be done in coincidence, and the manufacture approach of a semiconductor device that simplification of a production process can be attained is acquired.

[Translation done.]

* NOTICES *

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] The top view and sectional view for explaining the semiconductor device concerning the gestalt of implementation of the 1st of this invention.
[Drawing 2] The perspective view and sectional view showing the condition of having mounted the semiconductor device shown in drawing 1 .
[Drawing 3] The sectional view which expands the electrode [in / it is and / a semiconductor device] and its near for explaining the manufacture approach of the semiconductor device concerning the gestalt of implementation of the 1st of this invention, and is shown in order of a production process.
[Drawing 4] The sectional view in which being for explaining a conventional semiconductor device and its conventional manufacture approach, and showing a bump's formation process one by one.
[Description of Notations]
11 11-1 to 11-4 -- Semi-conductor substrate (semi-conductor memory chip),
12 -- Through tube,
13 -- Insulator layer,
14 -- Electrode,
14A -- Height,
15 -- INTAPOZA,
16 -- Logic chip,
17 -- Solder ball,
18 -- Cementing material layer,
21 -- Puncturing,
22 -- Dicing slot.

[Translation done.]